

目 次

第 1 章	ハードウェアを記述すること	1
1.1	デジタルシステム設計のフロー	1
1.1.1	アーキテクチャ	1
1.1.2	計算機構成	3
1.1.3	IC 設計のフロー	4
1.2	ハードウェア記述言語を使うメリット	8
1.3	歴史的な HDL の記述スタイル	9
1.3.1	CDL	10
1.3.2	DDL	10
1.3.3	AHPL	11
1.3.4	ISP	12
1.4	ハンドシェイクの記述	13
1.5	静的オートマトン記述	14
1.6	高レベル自動設計	15
1.7	C 言語によるシステム開発と設計	19
	参考文献	19
第 2 章	Verilog HDL の基本	21
2.1	Verilog HDL はどのような言語か	21
2.2	組合せ回路と順序回路	22
2.2.1	数	23
2.2.2	演算子と優先順位	24
2.2.3	assign 文による組合せ回路の記述	26
2.2.4	function 文による組合せ回路の記述	26
2.2.5	always 文による組合せ回路の記述	28
2.2.6	always 文による順序回路の記述	30
2.3	レジスタ転送レベルの動作記述	31
2.3.1	ブロッキング代入文とノン・ブロッキング代入文	31
2.3.2	always 文によるステートマシンの記述	33
2.3.3	モジュールの記述	36

iv	目次	
	2.4 シミュレーション	38
	参考文献	39
第3章	命令解釈実行サイクルの記述	41
	3.1 命令の解釈実行	41
	3.2 CISC と RISC	42
	3.3 結線論理制御	53
	3.4 マイクロプログラム制御	54
	3.5 順序回路によるマイクロコードの生成 HM^2	55
	参考文献	57
第4章	パイプライン化	59
	4.1 時間並列とスループット	59
	4.2 予約表とスケジューリング	60
	4.3 命令解釈実行サイクルのパイプライン化	62
	4.4 データ依存関係とハザード	76
	参考文献	79
第5章	スーパースカラ	81
	5.1 空間並列の基本構成	81
	5.2 命令の発行	84
	5.3 インターロック	90
	参考文献	93
第6章	設計検証	95
	6.1 命題と述語	95
	6.2 部分正当性と停止性	97
	6.3 帰納的アサーション法	98
	6.4 停止性の証明	100
	参考文献	102
付録		103
	A.1 Verilog HDL の規約	103
	A.1.1 コンパイラ指示子と予約語	103
	A.1.2 識別子	104
	A.2 ゲートレベルの構造記述	106
	A.3 シミュレーションについて	111
	A.4 記述例	113
	A.4.1 CISC-1	113
	A.4.2 CISC-3	125
	参考文献	138
索引		139